

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078786

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H01S 3/18

H01L 21/20

(21)Application number : 06-209982

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.09.1994

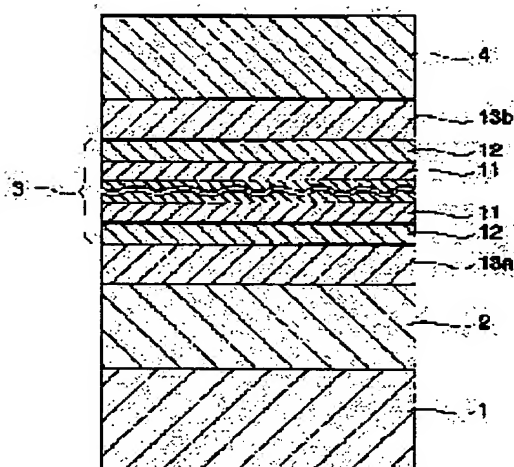
(72)Inventor : TAKIGUCHI TORU  
GOTO KATSUHIKO

## (54) STRAINED QUANTUM WELL STRUCTURE

## (57)Abstract:

PURPOSE: To increase the critical film thickness of a strained quantum well layer by constituting the average strain of a stress compensation type strained quantum well layer within the range of a certain specific value which is a positive value.

CONSTITUTION: A stress compensation type strained quantum well layer 3 is provided between the layers 13a, 13b of 60nm thick in which In is 0.85, Ga 0.15, As 0.32 and P 0.6. The stress compensation type strained quantum well layer 3 is formed by alternately laminating a barrier layer 12 which is a tensile-strained layer having a smaller lattice constant than that of an InP substrate 1 and a well layer 11 which is a compressive-strained layer having a larger lattice constant than that of the InP substrate 1. When the average strain of the stress compensation type strained quantum well layer is  $\epsilon_{ave}$ , and  $\epsilon_{ave} = (\epsilon_w \cdot t_w + \epsilon_b \cdot t_b) / (t_w + t_b)$  and also  $|\epsilon_w| > 0.001$ ,  $|\epsilon_b| > 0.001$ , where a lattice constant: as is adopted as a substrate, aw a well layer and ab a barrier layer, a strain:  $\epsilon_w$  is adopted as a well layer and  $\epsilon_b$  a barrier layer, and a layer thickness:  $t_w$  is adopted as a well layer and  $t_b$  a barrier layer.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78786

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

H 0 1 L 21/20

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号

特願平6-209982

(22) 出願日

平成6年(1994)9月2日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 瀧口 透

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社光・マイクロ波デバイス開発研究  
所内

(72) 発明者 後藤 勝彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社光・マイクロ波デバイス開発研究  
所内

(74) 代理人 弁理士 早瀬 憲一

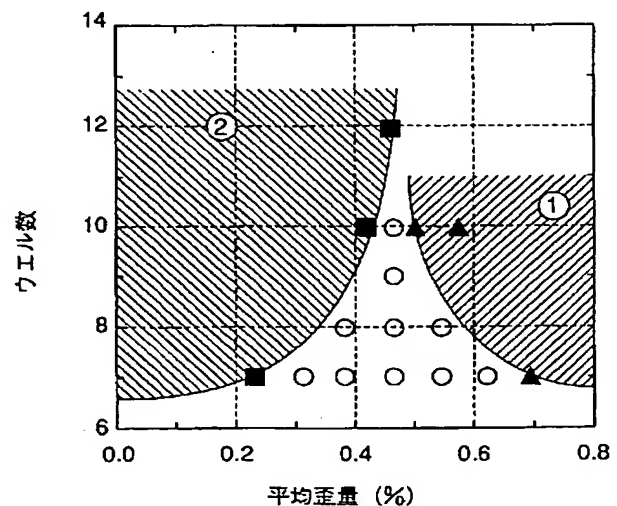
(54) 【発明の名称】 歪量子井戸の構造

(57) 【要約】

【目的】 臨界膜厚をより大きくすることのできる応力補償型歪量子井戸層を備えた半導体装置を得る。

【構成】 基板上に交互に積層された、その格子定数が上記基板の格子定数よりも大きい圧縮歪層と、その格子定数が上記基板の格子定数より小さい引張り歪層とからなる応力補償型歪量子井戸層を有するものにおいて、上記応力補償型歪量子井戸層の平均歪量が正の値である構成とした。

【効果】 応力補償型歪量子井戸層の平均歪量が0の場合よりも臨界膜厚を大きくでき、歪量子井戸層を構成する層の歪量、層厚、ウェル数の設計の自由度を向上できる。



▲ ハッチ有り

○ 鏡面

■ 表面欠陥有り

## 【特許請求の範囲】

【請求項 1】 格子定数が  $a_s$  である基板上に交互に積層された、格子定数  $a_1$  が  $a_s$  よりも大きく、 $(a_1 - a_s) / a_s$  で求められる歪量  $\varepsilon_1$  (但し、 $|\varepsilon_1| > 0.001$ ) の歪みが加わった圧縮歪層と、格子定数  $a_2$  が  $a_s$  より小さく、 $(a_2 - a_s) / a_s$  で求められる歪量  $\varepsilon_2$  (但し、 $|\varepsilon_2| > 0.001$ ) の歪みが加わった引張り歪層とからなる応力補償型歪量子井戸層を有する半導体装置において、上記圧縮歪層の層厚を  $t_1$ 、上記引張り歪層の層厚を  $t_2$  としたときに、 $(\varepsilon_1 \cdot t_1 + \varepsilon_2 \cdot t_2) / (t_1 + t_2)$  で求められる上記応力補償型歪量子井戸層の平均歪量  $\varepsilon_{\text{average}}$  が正の値であることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、上記応力補償型歪量子井戸層の平均歪量が  $+0.2\% \sim +0.6\%$  の範囲にあることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、該半導体装置は上記応力補償型歪量子井戸層を活性層とする半導体レーザであることを特徴とする半導体装置。

【請求項 4】 請求項 2 記載の半導体装置において、該半導体装置は上記応力補償型歪量子井戸層を活性層とする半導体レーザであることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、該半導体装置は上記応力補償型歪量子井戸層を光導波路層とする半導体光変調器であることを特徴とする半導体装置。

【請求項 6】 請求項 2 記載の半導体装置において、該半導体装置は上記応力補償型歪量子井戸層を光導波路層とする半導体光変調器であることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、基板より格子定数の大きな圧縮歪層と基板より格子定数の小さな引張り歪層を交互に積層した、応力補償型の歪量子井戸層を有する半導体装置に関し、特に、歪量子井戸層の臨界膜厚を大きくすることのできる歪量子井戸層に関するものである。

## 【0002】

## 【従来の技術】

図 9 は従来の活性層に歪量子井戸を用いた長波長系レーザの断面図である。図において、101 は p 型 InP 基板である。p 型 InP クラッド層 102 は基板 101 上に配置され、p 型 InGaAsP 光閉じ込め層 113a は p 型 InP クラッド層 102 上に配置され、歪量子井戸活性層 103 は p 型 InGaAsP 光閉じ込め層 113a 上に配置され、n 型 InGaAsP 光閉じ込め層 113b は歪量子井戸活性層 103 上に配置される。n 型 InGaAsP 光閉じ込め層 113b、歪量子井戸活性層 103、p 型 InGa

AsP 光閉じ込め層 113a、及び p 型 InP クラッド層 102 はメサストライプ形状に成形されている。p 型 InP 埋め込み層 105、n 型 InP 電流ブロック層 106、及び p 型 InP 電流ブロック層 107 はメサストライプの両側に、メサストライプを埋め込むように順次積層して配置される。また、n 型 InP クラッド層 104 は n 型 InGaAsP 光閉じ込め層 113b 上及び p 活性層 InP 電流ブロック層上に配置される。p 側電極 108 は基板 101 裏面に設けられ、n 側電極 109 は n 型 InP クラッド層 104 上に設けられる。110 は絶縁膜である。

【0003】 図 10 は歪量子井戸活性層 103 近辺の拡大断面図である。図において、図 9 と同一符号は同一又は相当部分であり、111 はウエル層、112 はバリア層である。

【0004】 歪量子井戸活性層は量子井戸活性層のウエル層となる半導体の組成を、その格子定数が基板の格子定数よりも大きくなるような組成として、ウエル層に圧縮応力がかかるような構成としたものである。活性層をこのような歪量子井戸構造とすると、ウエル層に印加される圧縮歪により半導体レーザのしきい値電流の低減等のレーザ特性の向上を図ることができる。

【0005】 しかし、このような歪量子井戸活性層における歪量、層厚、ウエル数は、臨界膜厚（結晶に欠陥の発生しない最大の膜厚）に制限され、これらが所定値以上に大きくなり臨界膜厚を越えると、結晶欠陥が発生する。例えば、ジャーナルオブアプライドフィジックス、67 巻、4 号、1850 頁～1862 頁 (J. Appl. Phys., Vol. 67, No. 4, pp. 1850～1862, 15 February 1990) に掲載された論文にも示されるように、歪量が大きくなるほど臨界膜厚は小さくなり、歪が加わったウエル層と歪の加わっていないバリア層とを交互に積層した歪量子井戸層構造では、ウエル層の歪量を 1%、ウエル層の層厚を 80 オングストローム (8 nm) にすると、ウエル層は数層しか積むことができない。従って、ウエル層の歪量を大きくしてしきい値電流の更なる低減を図ったり、ウエル層を多くして高速応答性を向上したりすることは困難である。

【0006】 その問題に対して、従来は、例えば文献 I E E E エレクトロニクスデバイスレターズ (T. Katsuyama et al., IEEE ELECTRON DEVICE LETTERS, VOL. EDL-8, No. 5, MAY 1987, p. 240～242) で記されているように、歪量子井戸活性層 103 を応力補償型歪量子井戸層（基板より格子定数の大きな圧縮歪層と基板より格子定数の小さな引張り歪層を交互に積層した歪量子井戸層）にすることによって、歪量子井戸活性層 103 の臨界膜厚（結晶に欠陥の発生しない最大の膜厚）を大きくしていた。特に、例えば文献アプライドフィジックスレターズ (D. C. Houghton et al., Appl. Phys. Lett., Vol. 64, No. 4, 24 January 1994, p. 505～507) で記されている

ように、歪量子井戸活性層 3 の平均歪量がゼロの時、臨界面厚は最大になると言われていた。即ち、図 10 において、その格子定数が基板の格子定数よりも大きく、圧縮歪が加わったウエル層 111 と、その格子定数が基板の格子定数よりも小さく、引張り歪が加わったバリア層 112 と交互に積層し、歪量子井戸活性層 103 全体での平均歪量が 0 % となるように構成した場合に、最も大きな臨界面厚が得られるものとしていた。上述の文献アブライドフィジックスレターズに基づいて考えた場合、具体的に、例えば、ウエル層の圧縮歪量が 1 %、層厚が 80 オングストローム (8 nm)、バリア層の層厚が 50 オングストローム (5 nm) であるときには、バリア層の引張り歪量が 1.6 % のときに歪量子井戸活性層全体での平均歪量が 0 % となり、このときに、図 11 に示すように、最も多くの積層数を実現できることとなる。

【0007】ここで、この文献アブライドフィジックスレターズでは、すべり転移による結晶欠陥のみを考慮している。即ち、歪量子井戸活性層全体での平均歪量が 0 % のとき、最も多くの積層数まですべり転移による結晶欠陥が生じないので、最大の臨界面厚を実現できるものとしている。しかし、実際にこのような平均歪量が 0 % のとなるように複数のウエル層及びバリア層を交互に積層して歪量子井戸構造を作製し、その表面状態を観察すると、すべり転移による結晶欠陥の現れであるクロスハッチは見られないが、表面は鏡面ではなく、表面欠陥を有している。

【0008】

【発明が解決しようとする課題】従来の半導体装置の応力補償型歪量子井戸層は、上述のように、歪量子井戸活性層全体での平均歪量が 0 % となるように構成されていたため、すべり転移による結晶欠陥は生じにくい、実際に作製した場合に、すべり転移以外の原因に基づく結晶欠陥が生じ、臨界面厚を十分に大きくすることができないという問題点があった。

【0009】この発明は上記のような問題点を解消するためになされたもので、応力補償型歪量子井戸層を有する半導体装置において、その応力補償型歪量子井戸層における臨界面厚をより大きくでき、これにより、歪量、層厚、ウエル数の設計の自由度を向上できる半導体装置を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明に係る半導体装置は、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を有するものにおいて、上記応力補償型歪量子井戸層の平均歪量が正の値であるものである。

【0011】また、この発明に係る半導体装置は、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪

層とからなる応力補償型歪量子井戸層を有するものにおいて、上記応力補償型歪量子井戸層の平均歪量が +0.2 % ~ +0.6 % の範囲にあるものである。

【0012】また、この発明に係る半導体装置は、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を活性層として備えた半導体レーザにおいて、上記応力補償型歪量子井戸層の平均歪量が正の値であるものである。

【0013】また、この発明に係る半導体装置は、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を活性層として備えた半導体レーザにおいて、上記応力補償型歪量子井戸層の平均歪量が +0.2 % ~ +0.6 % の範囲にあるものである。

【0014】また、この発明に係る半導体装置は、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を光導波路層として備えた半導体光変調器において、上記応力補償型歪量子井戸層の平均歪量が正の値であるものである。

【0015】また、この発明に係る半導体装置は、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を光導波路層として備えた半導体光変調器において、上記応力補償型歪量子井戸層の平均歪量が +0.2 % ~ +0.6 % の範囲にあるものである。

【0016】

【作用】この発明においては、基板上に交互に積層された、その格子定数が上記基板の格子定数よりも大きい圧縮歪層と、その格子定数が上記基板の格子定数より小さい引張り歪層とからなる応力補償型歪量子井戸層を有するものにおいて、上記応力補償型歪量子井戸層の平均歪量が正の値である構成としたから、歪量子井戸層の臨界面厚を大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体装置を容易に実現できる。

【0017】また、この発明においては、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を有するものにおいて、上記応力補償型歪量子井戸層の平均歪量が +0.2 % ~ +0.6 % の範囲にある構成としたから、歪量子井戸層の臨界面厚を特に大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体装置を容易に実現できる。

【0018】また、この発明においては、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪

層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を活性層として備えた半導体レーザにおいて、上記応力補償型歪量子井戸層の平均歪量が正の値である構成としたから、歪量子井戸層の臨界膜厚を大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体レーザを容易に実現できる。

【0019】また、この発明においては、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を活性層として備えた半導体レーザにおいて、上記応力補償型歪量子井戸層の平均歪量が+0.2%~+0.6%の範囲にある構成としたから、歪量子井戸層の臨界膜厚を特に大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体レーザを容易に実現できる。

【0020】また、この発明においては、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を光導波路層として備えた半導体光変調器において、上記応力補償型歪量子井戸層の平均歪量が正の値である構成としたから、歪量子井戸層の臨界膜厚を大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体光変調器を容易に実現できる。

【0021】また、この発明においては、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を光導波路層として備えた半導体光変調器において、上記応力補償型歪量子井戸層の平均歪量が+0.2%~+0.6%の範囲にある構成としたから、歪量子井戸層の臨界膜厚を特に大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体光変調器を容易に実現できる。

【0022】

【実施例】

実施例 1. 以下、本発明の実施例による半導体装置を図について説明する。図 1 は本発明の第 1 の実施例による半導体装置を得るために行なった実験に用いたモデルの構造を示す図である。図において、1 は InP 基板である。基板 1 上には層厚  $2\mu\text{m}$  の InP 層 2 が配置され、

InP 層 2 上には層厚  $60\text{nm}$  の  $\text{In}_{0.85}\text{Ga}_{0.15}\text{As}_{0.32}\text{P}_{0.68}$  層 13a が配置される。In<sub>0.85</sub>Ga<sub>0.15</sub>As<sub>0.32</sub>P<sub>0.68</sub> 層 13a 上には応力補償型歪量子井戸層 3 が配置される。応力補償型歪量子井戸層 3 は、層厚  $50\text{\AA}$  オングストローム ( $5\text{nm}$ ) の  $\text{In}_{1-x}\text{Ga}_x\text{As}_{y1}\text{P}_{1-y}$  バリア層 12 と、層厚  $80\text{\AA}$  オングストローム ( $8\text{nm}$ ) の  $\text{In}_{0.9}\text{Ga}_{0.1}\text{As}_{0.52}\text{P}_{0.48}$  ウェル層 11 を交互に積層してなるものである。応力補償型歪量子井戸層 3 上には層厚  $60\text{nm}$  の  $\text{In}_{0.85}\text{Ga}_{0.15}\text{As}_{0.32}\text{P}_{0.68}$  層 13b が配置され、In<sub>0.85</sub>Ga<sub>0.15</sub>As<sub>0.32</sub>P<sub>0.68</sub> 層 13b 上には層厚  $0.5\mu\text{m}$  の InP 層 4 が配置される。

【0023】以下、本発明では、基板の格子定数を  $a_s$ 、ウェル層の格子定数を  $a_w$ 、バリア層の格子定数を  $a_b$ 、ウェル層の歪量を  $\varepsilon_w$ 、バリア層の歪量を  $\varepsilon_b$ 、ウェル層の層厚を  $t_w$ 、バリア層の層厚  $t_b$ 、応力補償型歪量子井戸層の平均歪量を  $\varepsilon_{\text{average}}$  として、

$$\varepsilon_w = (a_w - a_s) / a_s$$

$$\varepsilon_b = (a_b - a_s) / a_s$$

$$\varepsilon_{\text{average}} = (\varepsilon_w \cdot t_w + \varepsilon_b \cdot t_b) / (t_w + t_b)$$

と定義する。

【0024】また、応力補償型歪量子井戸層は、基板より格子定数の大きな圧縮歪層と基板より格子定数の小さな引張り歪層を交互に積層した歪量子井戸層であり、

$$|\varepsilon_w| > 0.001$$

$$|\varepsilon_b| > 0.001$$

と定義する。

【0025】上記モデルでは、ウェル層の歪量  $\varepsilon_w$  は +1% である。また、In<sub>0.85</sub>Ga<sub>0.15</sub>As<sub>0.32</sub>P<sub>0.68</sub> の格子定数は InP と同じであり、層 13a、13b の歪量は 0% である。

【0026】実験は、上記モデルにおいてバリア層 12 の組成を変えて、応力補償型歪量子井戸層 3 の平均歪量を変化させ、各平均歪量においてバリア層とウェル層を複数周期積層し、モデルの表面状態を微分干渉顕微鏡を用いて観察することによって行なった。実験した In<sub>1-x</sub>Ga<sub>x</sub>As<sub>y1</sub>P<sub>1-y</sub> バリア層 12 の組成、そのときのバリア層 12 の歪量、及び応力補償型歪量子井戸層 3 の平均歪量を表 1 に示す。

【0027】

【表 1】

バリアの歪量	X	Y	歪量子井戸の平均歪量
0.2	0.1	0.28	0.69
0	0.15	0.32	0.62
-0.1	0.17	0.34	0.58
-0.2	0.19	0.36	0.54
-0.3	0.22	0.38	0.5
-0.4	0.24	0.4	0.46
-0.5	0.27	0.43	0.42
-0.6	0.29	0.45	0.38
-0.8	0.35	0.5	0.31
-1	0.4	0.56	0.23
-1.2	0.46	0.62	0.15
-1.4	0.52	0.69	0.08
-1.6	0.58	0.76	0

【0028】なお、表において、バリア層の歪量が0%、0.2%のものは、応力補償型の歪量子井戸構造にはなっていない。

【0029】図2は上記実験の結果に基づいて作成した、それぞれの歪量子井戸層の平均歪量におけるウェル数と表面モフォロジーの関係を示す図であり、横軸に応力補償型歪量子井戸層3の平均歪量を、縦軸にウェル数（バリア層とウェル層の積層周期数）をとっている。図2において、斜線部分は結晶欠陥が生じる領域である。斜線部分①では、平均歪量が大きいために、すべり転位が発生し、結晶表面にハッチまたはクロスハッチが生じる。斜線部分②では、平均歪量が小さいすなわちバリアの引張り歪量が大きいために、3次元成長が起こり、結晶表面に欠陥が生じる。図に示すごとく、歪量子井戸活性層3の平均歪量がゼロの時ではなく、正の値の時、特に平均歪量が+0.2%～+0.6%の範囲にある時、臨界膜厚は大きくなった。

【0030】また、図3は、本発明の第1の実施例によ

る半導体装置を得るために行なった実験に用いた他のモデルの構造を示す図である。図において、図1と同一符号は同一のものを示し、また、21は層厚40オングストローム（4nm）の $\text{In}_{0.84}\text{Ga}_{0.16}\text{As}_{0.65}\text{P}_{0.35}$ ウェル層、22は層厚50オングストローム（5nm）の $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ バリア層である。ウェル層の歪量 $\varepsilon_w$ は+1%である。実験の内容は上述したものと全く同じである。即ち、図3に示すモデルにおいてバリア層22の組成を変えて、応力補償型歪量子井戸層3の平均歪量を変化させ、各平均歪量においてバリア層とウェル層を複数周期積層し、モデルの表面状態を微分干渉顕微鏡を用いて観察することによって行なった。実験した $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ バリア層22の組成、そのときのバリア層22の歪量、及び応力補償型歪量子井戸層3の平均歪量を表2に示す。

【0031】

【表2】

バリアの歪量	X	Y	歪量子井戸の平均歪量
0.2	0.1	0.28	0.56
0.1	0.12	0.3	0.5
0	0.15	0.33	0.44
-0.1	0.17	0.34	0.39
-0.2	0.19	0.36	0.33
-0.3	0.22	0.38	0.28
-0.4	0.24	0.4	0.22
-0.6	0.29	0.45	0.11
-0.8	0.35	0.5	0

【0032】図4は上記実験による、ウェル数と表面モフォロジーの関係を示す図であり、横軸に応力補償型歪量子井戸層3の平均歪量を、縦軸にウェル数（バリア層とウェル層の積層周期数）をとっている。図4において、斜線部分は結晶欠陥が生じる領域である。斜線部分①では、平均歪量が大きいために、すべり転位が発生し、結晶表面にハッチまたはクロスハッチが生じる。斜

線部分②では、平均歪量が小さいすなわちバリアの引張り歪量が大きいために、3次元成長が起こり、結晶表面に欠陥が生じる。図3のモデルにおいても、図1のモデルの場合と同様、歪量子井戸活性層3の平均歪量がゼロの時ではなく、正の値の時、特に平均歪量が+0.2%～+0.6%の範囲にある時、臨界膜厚は大きくなった。

【0033】以上の実験からわかるように、歪量子井戸活性層3の平均歪量を正の値に、特に平均歪量を+0.2%~+0.6%の範囲にすることにより、結晶欠陥を生ずることなく積層できるウエル数は著しく向上できる。

【0034】図5は本実施例による半導体装置の応力補償型歪量子井戸層と従来の平均歪量がゼロである応力補償型歪量子井戸層における、ウエル層の歪量と格子欠陥を生ずることなく積層可能なウエル数との関係を示す図である。図において点線が従来の応力補償型歪量子井戸層、実線が本実施例による半導体装置の応力補償型歪量子井戸層を示す。図1のモデルを用いた実験から、本実施例による半導体装置の応力補償型歪量子井戸層では、ウエル層の歪量が1%の場合にウエル数を10まで向上できることがわかるが、ウエル数が従来と同じ6程度であれば、図5に示すように、ウエル層の歪量は1.5%程度まで大きくできる。

【0035】このように、本実施例による半導体装置では、その応力補償型歪量子井戸層の平均歪量を正の値、特に+0.2%~+0.6%の範囲にするようにしたから、臨界膜厚を大きくすることができ、ウエル層の歪量を大きくすることが可能となり、またウエル数を多くすることが可能となる。

【0036】なお、上記実施例では、ウエル層、及びバリア層にInGaAsP層を用いた場合について示したが、他のIII-V族化合物半導体もその結晶構造はInGaAsPと類似しているため、他のIII-V族化合物半導体を用いた応力補償型歪量子井戸層であっても上記実験結果と同様の結果が得られるものと考えられる。従って、本発明は、ウエル層、バリア層として上記実施例1で示した組み合わせを用いた半導体装置に限らず、他のIII-V族化合物半導体、すなわち、InGaAs、InGaP、InAsP、GaAsP、InGaAsP、AlGaAs、AlGaP、AlInAs、AlInP、AlGaInAs、AlGaInP、AlGaAsSbのいずれの組み合わせを用いた半導体装置にも適用でき、上記実施例1と同様の効果を奏するものである。また、InP基板を用いた半導体装置に限らず、GaAs基板、Si基板を用いた半導体装置にも適用可能である。

【0037】実施例2. 図6は本発明の第2の実施例による、活性層に歪量子井戸を用いた長波長系レーザの断面図である。図において、31はp型InP基板である。p型InPクラッド層32は基板31上に配置され、p型InGaAsP光閉じ込め層43aはp型InPクラッド層32上に配置され、歪量子井戸活性層33はp型InGaAsP光閉じ込め層43a上に配置され、n型InGaAsP光閉じ込め層43bは歪量子井戸活性層103上に配置される。n型InGaAsP光閉じ込め層43b、歪量子井戸活性層33、p型InG

aAsP光閉じ込め層43a、及びp型InPクラッド層32はメサストライプ形状に成形されている。p型InP埋め込み層35、n型InP電流ブロック層36、及びp型InP電流ブロック層37はメサストライプの両側に、メサストライプを埋め込むように順次積層して配置される。また、n型InPクラッド層34はn型InGaAsP光閉じ込め層43b上及びp活性層InP電流ブロック層上に配置される。p側電極38は基板31裏面に設けられ、n側電極39はn型InPクラッド層34上に設けられる。40は絶縁膜である。

【0038】各層の典型的な層厚、及びキャリア濃度について以下に示す。p型InPクラッド層32の厚さは2 $\mu$ m、キャリア濃度pは $1 \times 10^{18} \text{cm}^{-3}$ 、n型InPクラッド層34の厚さは0.5 $\mu$ m、キャリア濃度nは $1 \times 10^{18} \text{cm}^{-3}$ 、p型InP埋め込み層35の厚さは1 $\mu$ m、キャリア濃度pは $1 \times 10^{18} \text{cm}^{-3}$ 、n型InP電流ブロック層36の厚さは1 $\mu$ m、キャリア濃度nは $5 \times 10^{18} \text{cm}^{-3}$ 、p型InP電流ブロック層37の厚さは1 $\mu$ m、キャリア濃度pは $1 \times 10^{18} \text{cm}^{-3}$ 、p型InGaAsP光閉じ込め層43aの厚さは50オングストローム(5nm)、キャリア濃度pは $1 \times 10^{18} \text{cm}^{-3}$ 、n型InGaAsP光閉じ込め層43bの厚さは50オングストローム(5nm)、キャリア濃度nは $1 \times 10^{18} \text{cm}^{-3}$ である。

【0039】また、p側電極38はTi/Pt/Auの多層金属からなり、n側電極39はAu/Ge/Ni/Auの多層金属からなる。絶縁膜40の材質はSiO<sub>2</sub>である。

【0040】図7は応力補償型歪量子井戸活性層33近辺の拡大断面図である。図において、41はInGaAsPウエル層、42はInGaAsPバリア層である。

【0041】本実施例においては、応力補償型歪量子井戸活性層33は、その平均歪量が正の値となるようにウエル層41、及びバリア層42の組成、及び層厚を設定する。これにより、本実施例では、従来のウエル層のみに歪を導入した歪量子井戸層、及び平均歪量を0とするように構成された従来の応力補償型歪量子井戸層に比して臨界膜厚を大きくできる。特に応力補償型歪量子井戸活性層33の平均歪量が+0.2%~+0.6%の範囲となるようにウエル層41、及びバリア層42の組成、及び層厚を設定した場合には、臨界膜厚を顕著に大きくすることができる。従って、本実施例では歪量子井戸活性層33のウエル層41の歪量を大きくすることが可能となり、ウエル層41の歪量を大きくすることにより、しきい値電流の低減、発光効率の向上等、レーザ特性が向上された半導体レーザを実現できる。また、本実施例では、ウエル数を多くすることも可能となり、ウエル数を多くすることにより、レーザの高速応答特性の向上を図ることができる。

【0042】実施例3. 図8は本発明の第3の実施例に



よる、半導体レーザの活性層、及び光変調器の光導波路層に歪量子井戸を用いた光変調器付きレーザの断面図である。図において、51はn型InP基板である。n型InPクラッド層52は基板51上に配置される。n型InPクラッド層52の典型的な層厚は $2\mu\text{m}$ 、キャリア濃度 $n$ は $1 \times 10^{18}\text{cm}^{-3}$ である。n型クラッド層52の半導体レーザ部（図中Aで示す）となる部分の表面には、周期的な凹凸が形成される。n型InGaAsP光ガイド層53はn型InPクラッド層52上に配置される。周期的な凹凸が形成された部分においては、n型InPクラッド層52とn型InGaAsP光ガイド層53の界面に回折格子54が形成される。図示しないウエル層、及びバリア層を複数層交互に積層してなる応力補償型の歪量子井戸活性層55、及び応力補償型の歪量子井戸光導波路層56は、光ガイド層53上の半導体レーザ部となる部分、及び光変調器部（図中Bで示す）となる部分にそれぞれ配置される。歪量子井戸活性層55を構成するウエル層、及びバリア層は歪量子井戸光導波路層56を構成するウエル層、及びバリア層よりも厚くなっている。このような歪量子井戸活性層55、歪量子井戸光導波路層56は、開口部の幅が半導体レーザ部で狭く光変調器部で広い誘電体パターンをマスクとする選択成長により、同時に形成することができる。p型InPクラッド層57は歪量子井戸活性層55、及び歪量子井戸光導波路層56上に連続して配置される。p型InPクラッド層57の典型的な層厚は $0.5\mu\text{m}$ 、キャリア濃度 $p$ は $1 \times 10^{18}\text{cm}^{-3}$ である。p型InGaAsPコンタクト層58はp型InPクラッド層57上の半導体レーザ部となる部分、及び光変調器部となる部分に分離して配置される。レーザ用p側電極59は半導体レーザ部に配置されたコンタクト層58上に設けられ、光変調器用p側電極60は光変調器部に配置されたコンタクト層58上に設けられる。これらのp側電極はいずれもTi/Pt/Auの多層金属からなる。また、共通n側電極61は基板51裏面に設けられる。n側電極61はAu/Ge/Ni/Auの多層金属からなる。

【0043】本実施例では、歪量子井戸活性層55、及び歪量子井戸光導波路層56を構成するウエル層、及びバリア層は、応力補償型歪量子井戸層の平均歪量が正の値となるようにその組成、及び層厚を設定する。これにより、本実施例では、従来のウエル層のみに歪を導入した歪量子井戸層、及び平均歪量を0とするように構成された従来の応力補償型歪量子井戸層に比して臨界膜厚を大きくできる。特に応力補償型歪量子井戸層の平均歪量が $+0.2\% \sim +0.6\%$ の範囲となるようにウエル層、及びバリア層の組成、及び層厚を設定した場合には、臨界膜厚を顕著に大きくすることができる。

【0044】次に動作について説明する。上述のように、歪量子井戸活性層55を構成するウエル層、及びバリア層は歪量子井戸光導波路層56を構成するウエル

層、及びバリア層よりも厚くなっている。量子井戸層では実効的なバンドギャップ( $E_g$ )は井戸層厚に依存し、井戸層が厚いほど $E_g$ は小さくなる。従って、歪量子井戸層の $E_g$ は歪量子井戸活性層55の値 $E_{g1}$ が歪量子井戸光導波路層56の値 $E_{g2}$ よりも小さくなる。光変調器部を無バイアスの状態で、レーザ用p側電極59と共通n側電極61間にpn接合に対し順方向のバイアスを印加することにより、歪量子井戸活性層55に電流を注入して連続発振させると、レーザ光は光変調器領域では $E_{g2} > E_{g1}$ なので、吸収されずに端面から取り出される。一方、光変調器に光変調器用p側電極60と共通n側電極61間にpn接合に対し逆バイアスを印加すると歪量子井戸光導波路層56の量子閉込シュタルク効果により、励起子による吸収端が長波側にシフトして実効的なバンドギャップ $E_{g'2}$ は、 $E_{g'2} < E_{g1}$ と逆に歪量子井戸活性層55の値より小さくなるので、レーザ光は光変調器で吸収され消光する。従って、光変調器に加える電圧を変調することによりレーザ光をon/offすることができる。

【0045】ここで、本実施例では、上述のように、歪量子井戸活性層55、及び歪量子井戸光導波路層56を構成するウエル層、及びバリア層は、応力補償型歪量子井戸層の平均歪量が正の値となるようにその組成、及び層厚を設定しており、これにより臨界膜厚を大きくでき、ウエル層の歪量を大きくすることが可能となり、また、ウエル数を多くすることが可能となる。従って、半導体レーザ部については、歪量子井戸活性層55のウエル層の歪量を大きくすることにより、しきい値電流の低減、発光効率の向上等、また、ウエル数を多くすることにより、レーザの高速応答特性の向上といったレーザ特性の向上を図ることができる。また、光変調器部については、歪量子井戸光導波路層56のウエル層の歪量を大きくすることにより、変調器の広帯域化が実現でき、また、ウエル数を多くすることにより、レーザのon/off比の向上が実現できる。

【0046】なお、上記実施例では、半導体光変調器と半導体レーザを同一基板上に一体化した光変調器付半導体レーザについて示したが、半導体レーザと一体化されない単体の半導体光変調器に本発明を適用するすることも可能であることは言うまでもない。

【0047】また、本発明は、応力補償型歪量子井戸層をレーザの活性層、及び波長可変領域の光導波路層として用いた波長可変半導体レーザにも適用でき、この場合は、歪量を大きくできることによって低しきい値化、ウエル層数を多くすることにより大幅な波長可変を実現できる。

【0048】さらに、本発明は、応力補償型歪量子井戸層を光導波路層として用いた半導体光位相変調器にも適用でき、この場合は、ウエル層数が多くすることにより、共振器長を短くでき、デバイスの小型化を図ること

ができる。

【0049】

【発明の効果】以上のように、この発明によれば、基板上に交互に積層された、その格子定数が上記基板の格子定数よりも大きい圧縮歪層と、その格子定数が上記基板の格子定数より小さい引張り歪層とからなる応力補償型歪量子井戸層を有するものにおいて、上記応力補償型歪量子井戸層の平均歪量が正の値である構成としたから、歪量子井戸層の臨界膜厚を大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体装置を容易に実現できる効果がある。

【0050】また、この発明によれば、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を有するものにおいて、上記応力補償型歪量子井戸層の平均歪量が+0.2%~+0.6%の範囲にある構成としたから、歪量子井戸層の臨界膜厚を特に大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体装置を容易に実現できる効果がある。

【0051】また、この発明によれば、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を活性層として備えた半導体レーザにおいて、上記応力補償型歪量子井戸層の平均歪量が正の値である構成としたから、歪量子井戸層の臨界膜厚を大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体レーザを容易に実現できる効果がある。

【0052】また、この発明によれば、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を活性層として備えた半導体レーザにおいて、上記応力補償型歪量子井戸層の平均歪量が+0.2%~+0.6%の範囲にある構成としたから、歪量子井戸層の臨界膜厚を特に大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体レーザを容易に実現できる効果がある。

【0053】また、この発明によれば、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を光導波路層として備えた半導体光変調器において、上記応力補償型歪量子井戸層の平均歪量が正の値である構成としたから、歪量子井戸層の臨界膜厚を大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体光変調器を容易に実現できる効果がある。

【0054】また、この発明によれば、基板上に交互に積層された、格子定数が上記基板よりも大きい圧縮歪層

と、格子定数が上記基板より小さい引張り歪層とからなる応力補償型歪量子井戸層を光導波路層として備えた半導体光変調器において、上記応力補償型歪量子井戸層の平均歪量が+0.2%~+0.6%の範囲にある構成としたから、歪量子井戸層の臨界膜厚を特に大きくすることができ、これにより歪量子井戸層の設計の自由度が大きくなり、特性の優れた半導体光変調器を容易に実現できる効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例による半導体装置を得るために行なった実験に用いたモデルの構造を示す図である。

【図2】 図1に示すモデルを用いて行なった実験の実験の結果に基づいて作成した、それぞれの歪量子井戸層の平均歪量におけるウエル数と表面モフォロジーの関係を示す図である。

【図3】 本発明の第1の実施例による半導体装置を得るために行なった実験に用いた他のモデルの構造を示す図である。

【図4】 図3に示すモデルを用いて行なった実験の実験の結果に基づいて作成した、それぞれの歪量子井戸層の平均歪量におけるウエル数と表面モフォロジーの関係を示す図である。

【図5】 本発明により、歪量子井戸を構成するウエル層の歪量を大きくすることができることを説明するための図である。

【図6】 本発明の第2の実施例による、活性層に応力補償型歪量子井戸層を用いた長波長系半導体レーザを示す断面図である。

【図7】 図6の半導体レーザの応力補償型歪量子井戸活性層近辺の拡大断面図である。

【図8】 本発明の第3の実施例による、半導体レーザの活性層及び光変調器の光導波路層に応力補償型歪量子井戸層を用いた光変調器付半導体レーザを示す断面図である。

【図9】 従来の、活性層に歪量子井戸層を用いた長波長系半導体レーザを示す断面図である。

【図10】 図9の半導体レーザの歪量子井戸活性層近辺の拡大断面図である。

【図11】 従来の半導体装置の応力補償型歪量子井戸層の構造を説明するための図である。

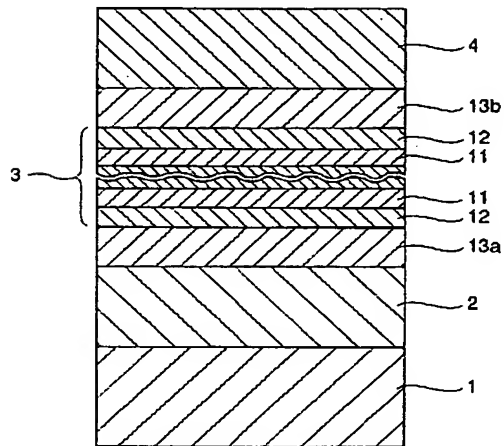
【符号の説明】

1 InP基板、2 InP層、3 応力補償型歪量子井戸、4 InP層、11 In<sub>0.9</sub>Ga<sub>0.1</sub>As<sub>0.52</sub>P<sub>0.48</sub>ウエル層、12 In<sub>1-x</sub>Ga<sub>x</sub>As<sub>y</sub>P<sub>1-y</sub>バリア層、13a、13b In<sub>0.85</sub>Ga<sub>0.15</sub>As<sub>0.32</sub>P<sub>0.68</sub>層、21 In<sub>0.84</sub>Ga<sub>0.16</sub>As<sub>0.65</sub>P<sub>0.35</sub>ウエル層、22 In<sub>1-x</sub>Ga<sub>x</sub>As<sub>y</sub>P<sub>1-y</sub>バリア層、31 p型InP基板、32 p型InPクラッド層、33 応力補償型歪量子井戸層、34 n型InPクラッド

層、35 p型InP埋込み層、36 n型InP電流ブロック層、37 p型InP電流ブロック層、38 p側電極、39 n側電極、40 絶縁膜、41 ウェル層、42 バリア層、43a p型InGaAsP光閉じ込め層、43b n型InGaAsP光閉じ込め層、51 n型InP基板、52 n型InPクラッド

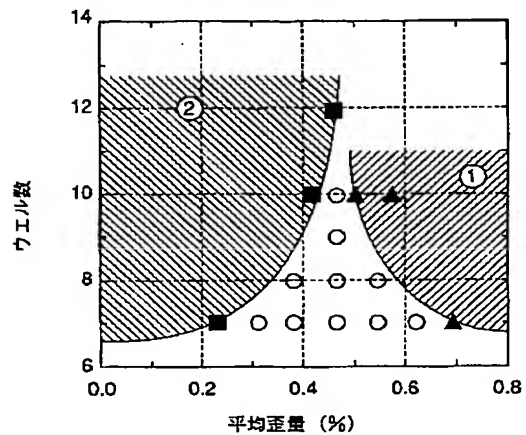
層、53 InGaAsP光ガイド層、54 回折格子、55 応力補償型歪量子井戸活性層、56 応力補償型歪量子井戸光導波路層、57 p型InPクラッド層、58 p型InGaAsPコンタクト層、59 レーザ用p側電極、60 光変調器用p側電極、61 共通n側電極。

【図1】



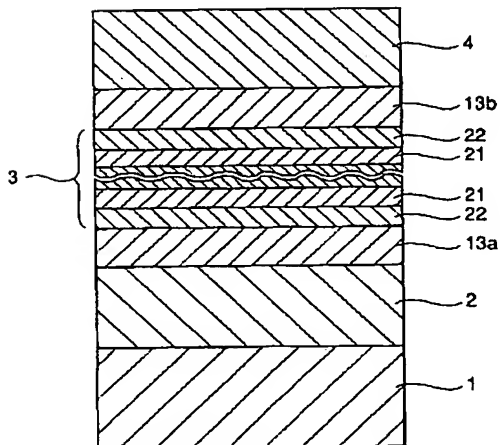
1: InP基板  
2: InP層  
3: 応力補償型歪量子井戸  
4: InP層  
11: In<sub>0.9</sub>Ga<sub>0.1</sub>As<sub>0.52</sub>P<sub>0.48</sub>ウェル層 (歪量+1%)  
12: In<sub>1-x</sub>Ga<sub>x</sub>As<sub>y</sub>P<sub>1-y</sub>バリア層  
13a, 13b: In<sub>0.85</sub>Ga<sub>0.15</sub>As<sub>0.32</sub>P<sub>0.68</sub>層

【図2】



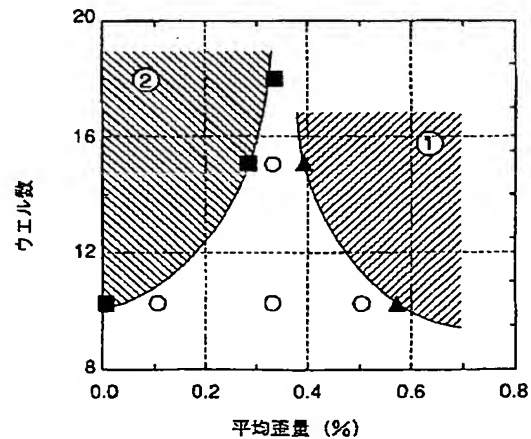
▲ ハッチ有り  
○ 鏡面  
■ 表面欠陥有り

【図3】



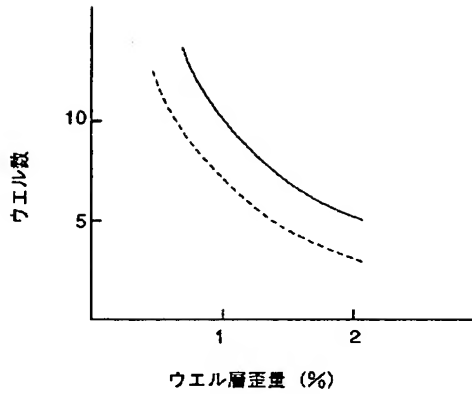
21: In<sub>0.84</sub>Ga<sub>0.16</sub>As<sub>0.65</sub>P<sub>0.35</sub>ウェル層 (歪量+1%)  
22: In<sub>1-x</sub>Ga<sub>x</sub>As<sub>y</sub>P<sub>1-y</sub>バリア層

【図4】

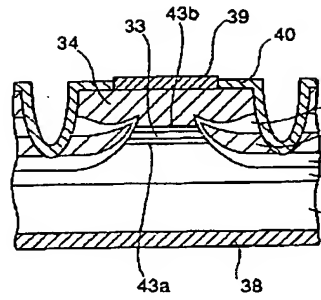


▲ ハッチ有り  
○ 鏡面  
■ 表面欠陥有り

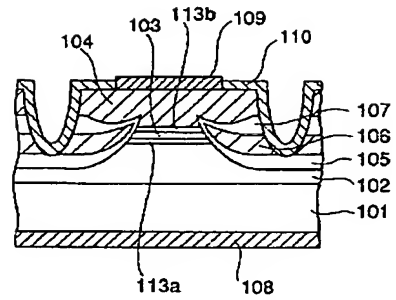
【図 5】



【図 6】

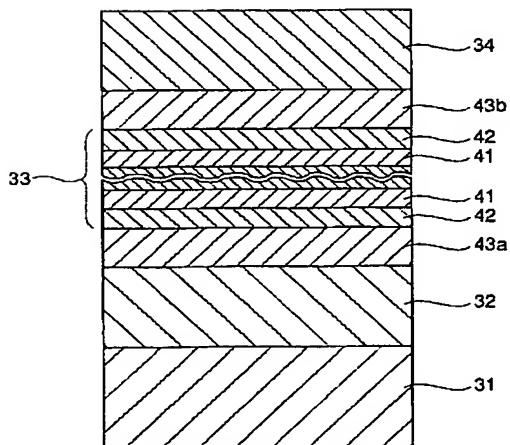


【図 9】

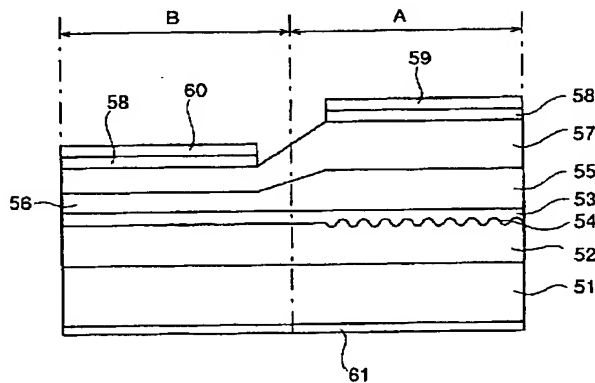


- 31: p型InP基板
- 32: p型クラッド層
- 33: 歪量子井戸活性層
- 34: n型クラッド層
- 35: p型InP埋込み層
- 36: n型InP電流ブロック層
- 37: p型InP電流ブロック層
- 38: p側電極
- 39: n側電極
- 40: 絶縁膜
- 43a: p型InGaAsP光閉じ込め層
- 43b: n型InGaAsP光閉じ込め層

【図 7】

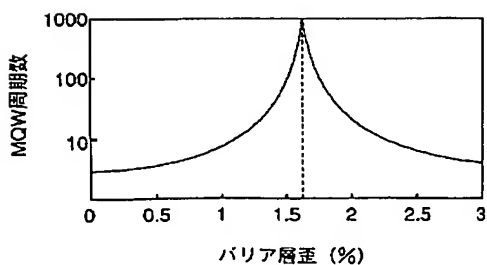


【図 8】

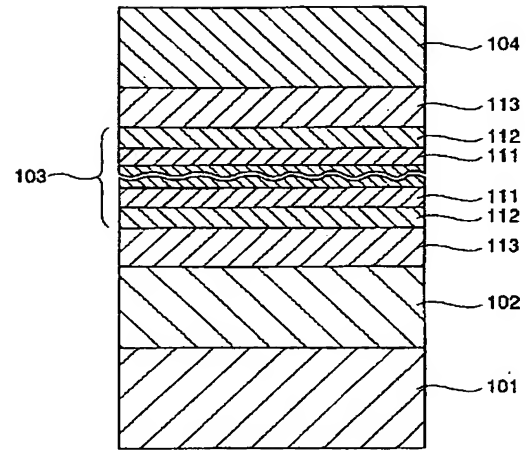


- 51: n型InP基板
- 52: n型InPクラッド層
- 53: InGaAsP光ガイド層
- 54: 回折格子
- 55: 歪量子井戸活性層
- 56: 歪量子井戸光導波路層
- 57: p型InPクラッド層
- 58: p型InGaAsPコンタクト層
- 59: レーザ用p側電極
- 60: 光変調器用p側電極
- 61: 共通n側電極

【図 11】



【図10】



**THIS PAGE BLANK (USPTO)**